

Patent Abstracts of Japan

PUBLICATION NUMBER : 04085952

PUBLICATION DATE : 18-03-92

APPLICATION DATE : 27-07-90

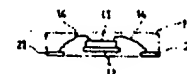
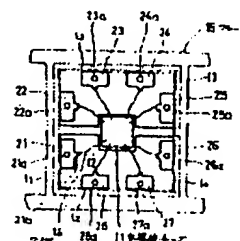
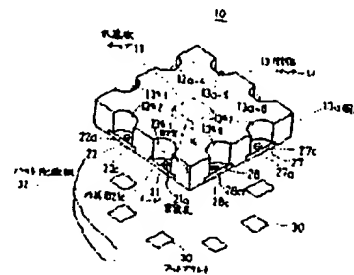
APPLICATION NUMBER : 02201008

APPLICANT : FUJITSU LTD;

INVENTOR : KOYAE KENJI;

INT.CL. : H01L 23/50 H01L 23/28

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To improve soldering reliability by arranging leads, which are exposed on the bottom face of a semiconductor chip sealing package, at the sections facing to the periphery of the package without projecting to the outside of the periphery.

CONSTITUTION: A semiconductor chip 11 is fastened on a stage 12 and sealed with a resin package 13. Leads 21-28 are arranged at the sections facing to the periphery 13a of the resin package 13 flush with its bottom face 13b and exposed on the bottom face 13b without projecting to the outside of the periphery 13a. Circular through holes 21a-28a are made in approximately the center of the leads 21-28. Cut-out sections 13a-1-13a-8 are made at where the leads 21-28 are arranged and their through holes 21a-28a are exposed upward. Wires 14 are bonded to the chip 11 and protrusions 21b-28b at the inner edges of the leads 21-28. The stage 12 and the leads 21-28 are connected to a frame 15 and cut on lines I₁-I₁ after resin sealing. Thereby imperfect soldering caused by a bent lead is prevented.

COPYRIGHT: (C) JPO

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-85952

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月18日

H 01 L 23/50
23/28
23/50

R 9054-4M
J 6412-4M
G 9054-4M

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-201008

⑰ 出 願 平2(1990)7月27日

⑱ 発 明 者 小 八 重 健 二 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 伊 東 忠 彦 外2名

明 細 書

3. 発明の詳細な説明

1. 発明の名称
半導体装置

(概要)

表面実装型の半導体装置に関し、

リードを変形しにくい構造として半田付けの信頼性の向上を可能とすることを目的とし、

リードを、半導体チップを封止したパッケージの周縁に臨む部位に、該パッケージの底面に露出し且つ上記周縁より外方に突出させずに設けて構成する。

2. 特許請求の範囲

(1) リード(21~28)を、半導体チップ(11)を封止したパッケージ(13)の周縁(13a)に臨む部位に、該パッケージ(13)の底面(13b)に露出し且つ上記周縁(13a)より外方に突出させずに設けてなる構成としたことを特徴とする半導体装置。

(発明の詳細な説明)

本発明は表面実装型の半導体装置に関する。

一般に表面実装型の半導体装置は、リードを半田付けされてプリント配線板上に実装される。

このため、リードは、半田付け不良が生じにくい形状及び構造であることが望ましい。

(2) 上記リード(21~28)は、貫通孔(21a~28a)を有し、且つ上記パッケージ(13)は、上記周縁(13a)のうち上記リード(21~28)に対応する部位に、上記貫通孔(21a~28a)を露出させる切欠(13a-、~13a-)を有する請求項1記載の半導体装置。

(従来の技術)

第9図は従来の1例の半導体装置1を示す。

特開平4-85952(2)

2、3はリードであり、樹脂パッケージ4の側壁から外方に突出している。

この半導体装置1は、第10図に示すように、リード2、3をプリント配線板4上のフットプリント6、7に半田8、9により半田付けされて実装される。

(発明が解決しようとする課題)

リード2、3は変形し易い。

リード2が符号2aで示すように変形した場合には、実装のときにリード2aがフットプリント5から浮いた所謂リード浮きの状態となり、半田未着となって半田付け不良となってしまう。

本発明は、リードを変形しにくい構造として半田付けの信頼性の向上を可能とした半導体装置を提供することを目的とする。

(課題を解決するための手段)

請求項1の発明は、リードを、半導体チップを封止したパッケージの周縁に臨む部位に、該パッ

ケージの底面に露出し且つ上記周縁より外方に突出させずに設けてなる構成とする。

請求項2の発明は、上記リードは、貫通孔を有し、且つ上記パッケージは、上記周縁のうち上記リードに対応する部位に、上記貫通孔を露出させる切欠を有する構成とする。

(作用)

請求項1の発明において、リードをパッケージから突出させる構成は、リードの曲がりを無くする。

請求項2の発明において、リードの貫通孔は、半田付けされる領域を拡大する。

また、リードの貫通孔及びパッケージの切欠は、貫通孔内の半田フィレットの目視を可能とする

(実施例)

第1図乃至第4図は本発明の一実施例になる半導体装置10を示す。

11は半導体チップであり、ステージ12上に

に示すようにフレーム15と連結されており、樹脂封止後に線11'～11''に沿って切断される。

上記構成の半導体装置10においては、各リード21～28が樹脂パッケージ13の周縁13aから外方に突出していないため取扱中に、リード曲りは起きない。

このため、第5図に示すように、全部のリード21～28が対応するフットプリント30に半田31により確実に半田付けされた状態で、半導体装置10はプリント配線板32上に表面実装される。

第6図に拡大して併せて示すように、各リード21～28の下面とフットプリント30との間が半田付けされると共に、フットプリント30と各リード21～28の外縁部21c～28cとの間が半田フィレット31aにより被覆され(第5図参照)、更には貫通21a～28aとフットプリント30との間が半田フィレット31bにより被覆される。

特にフットプリント30と貫通孔21a～

図着してあり、樹脂パッケージ13により封止されている。

21～28はリードであり、樹脂パッケージ13の周縁13aに臨む部位に樹脂パッケージ13の底面13bと同一面とされて底面13bに露出して且つ上記周縁13aより外方に突出せずに設けてある。

各リード21～28の略中央には円形の貫通孔21a～28aが半田付けを良好にするために形成してある。

13a'～13a''は夫々切欠であり、樹脂パッケージ13の周縁13aのうちリード21～28の部位に形成してあり、貫通孔21a～28aが上方に露出している。これにより、後述するように半田付けの良否の検査がし易くなっている。

14はワイヤであり、半導体チップ11とリード21～28の内側縁の突部21b～28bとにボンディングされている。

ステージ12及びリード21～28は、第3図

特開平4-85952(3)

28aとの間の半田フィレット31bによる半田付けによって半田付け部分の領域の拡大が図られ、各リード21～28はフットプリント30と強固に半田付けされ、半導体装置10はプリント配線板32上に強固に実装される。

半田がフットプリント30及びリード21の貫通孔21aに共にめれ性が高い場合には半田がフットプリント30上及び貫通孔21aの内壁に広がって、半田フィレット31bは第6図に示すように深い凹曲面となる。

半田のリード21に対するめれ性が良くなく、リード21が半田をはじく場合には、貫通孔21a内の半田フィレットは第7図中符号31c-で示す如くに、凸曲面となる。

また半田のフットプリント30に対するめれ性が良くない場合には、フットプリント30が半田をはじき、貫通孔21a内の半田フィレットは第8図中符号31c-で示すように小さな凹曲面となる。

ここで、樹脂パッケージ13には切欠13a-、

リード曲かりに起因する半田付け不良の発生が無くなり、半導体装置の半田付けによる実装の信頼性を向上させることが出来る。

請求項2の発明によれば、リードの貫通孔内への半田付けによって半田付け部分の領域を拡大し得、半導体装置をその分強固に実装し得る。

また、パッケージに切欠を設けたことによって貫通孔の半田フィレットを目視可能となり、これによって半田付けの良否の検査を容易に且つ確実に行うことが出来る。

4. 図面の簡単な説明

第1図は本発明の一実施例による半導体装置の斜視図、

第2図は第1図の半導体装置の底面側からみた斜視図、

第3図は第1図の半導体装置を樹脂パッケージを省略して示す平面図、

第4図は第1図の半導体装置を樹脂パッケージを省略して示す側面図、

～13a-、があるため、半導体装置10を実装した状態で、上方からリード21～28の貫通孔21a～28aの箇所を目視することが可能である。

また半田フィレットが深い凹曲面であるかこれ以外の曲面であるかは目視によって明確に区別することが容易である。

このため、上記の半導体装置10では、実装後における半田付けの良否の目視による検査を誤りなく行うことが可能となる。

また、光学的な外観検査機を用いた場合でも半田のリードに対するめれ性の良否が従来のリード形状に比べ、明確となるので、確実に検査することができる。

(発明の効果)

以上説明した様に、請求項1の発明によれば、リードがパッケージから外方に突出していないため、半導体装置の取扱い中にリード曲がりやが起きることを防止することが出来る。これにより、

第5図は第1図の半導体装置の実装状態を示す斜視図、

第6図は第5図中VI-VI線に沿う拡大断面図、

第7図は半田付け不良の1例を示す図、

第8図は半田付け不良の別の例を示す図、

第9図は従来の半導体装置の1例を示す図、

第10図は第9図の半導体装置の半田付け不良を示す図である。

図において、

10は半導体装置、

11は半導体チップ、

13は樹脂パッケージ、

13aは周縁、

13a-、～13a-は切欠、

13bは底面

21～28はリード、

21a～28aは貫通孔、

30はフットプリント、

31は半田、

特開平 4-85952 (4)

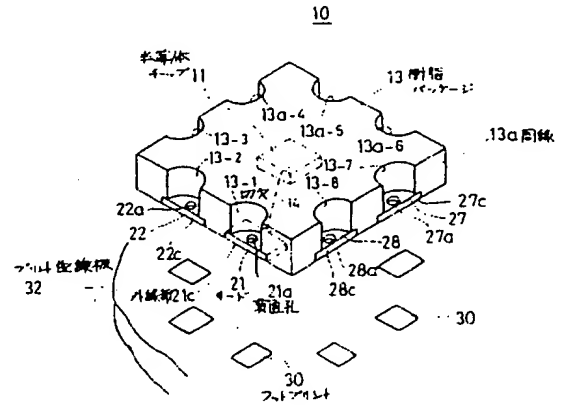
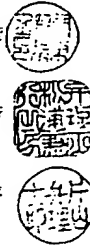
31aは半田フィレット、
32はプリント配線板
を示す。

特許出願人 富士通株式会社

代理人 弁理士 伊東 忠彦

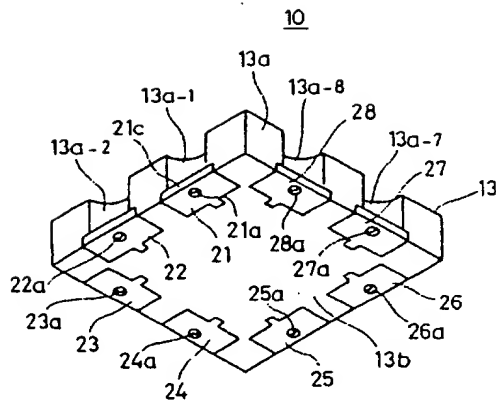
同 弁理士 松浦 兼行

同 弁理士 片山 修平



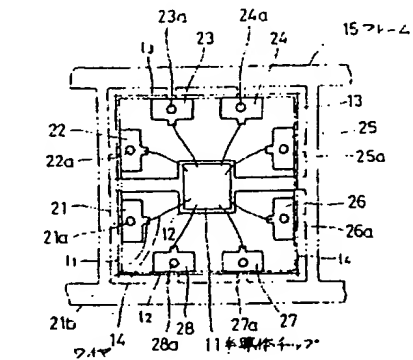
本発明の一実施例になら半導体装置の斜視図

第1図



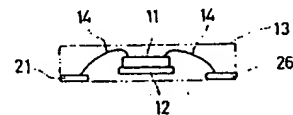
第1図の半導体装置の底面側から見た斜視図

第2図



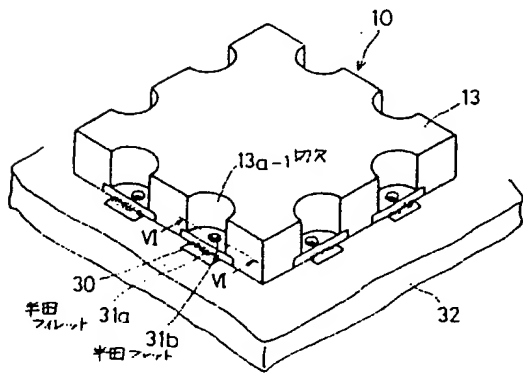
第1図の半導体装置を樹脂パッケージE省略して示す平面図

第3図



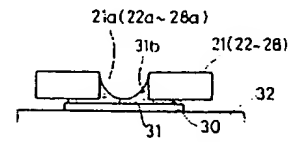
第1図の半導体装置を樹脂パッケージE省略して示す側面図

第4図



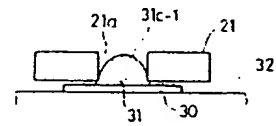
第 5 図の半導体装置の実装状態を示す斜視図

第 5 図



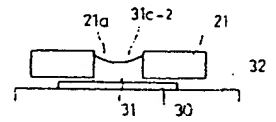
第 5 図中 VI-VI 線に沿う断面図

第 6 図



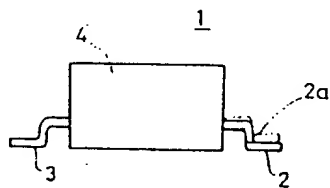
半田付け不良の 1 例を示す図

第 7 図



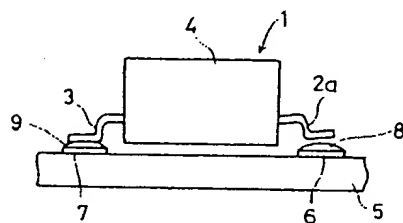
半田付け不良の別の例を示す図

第 8 図



従来の半導体装置の 1 例を示す図

第 9 図



第 9 図の半導体装置の半田付け不良を示す図

第 10 図